

System and method for smoothing the lines and edges of an image on a raster-scan display

Patent Number: ☐ US4672369
Publication date: 1987-06-09
Inventor(s): PREISS RICHARD B (US); DALRYMPLE JOHN C (US)
Applicant(s):: TEKTRONIX INC (US)
Requested Patent: ☐ JP60136795
Application Number: US19830549144 19831107
Priority Number(s): US19830549144 19831107
IPC Classification:
EC Classification: G09G1/16F4C, G09G5/20
Equivalents: CA1235536, ☐ EP0146227, JP1967955C, JP6080476B

Abstract

In system and method for smooth line raster-scan display, a frame buffer containing a high resolution map of information of an image for display is read so as to furnish plural line stored information for each single line of the raster display. Display circuitry of the system receives the plural line stored information and varyingly weights same to furnish such single line Z-axis information (intensity control) for an X-Y display matrix, such as a CRT display terminal. Means are included in the system for display of the entire frame buffer content on a first fractional basis, e.g., a two thousand line resolution buffer to five hundred line raster. Selection circuitry of the system provides for reading out only a fraction of the frame buffer content, e.g., one-fourth or the five hundred lines thereof, on five hundred raster lines, thus providing true resolution zoom capability.

⑨ 日本国特許庁 (J P)

⑩ 特許出願公開

⑫ 公開特許公報 (A) 昭60-136795

⑬ Int. Cl.⁴
G 09 G 1/06

識別記号 庁内整理番号
7923-5C

⑭ 公開 昭和60年(1985)7月20日

審査請求 未請求 発明の数 1 (全9頁)

⑮ 発明の名称 ラスタ走査型表示装置

⑯ 特 願 昭59-234003

⑰ 出 願 昭59(1984)11月6日

優先権主張 ⑱ 1983年11月7日 ⑲ 米国 (U S) ⑳ 549144

㉑ 発 明 者 リチャード・ビー・ブ アメリカ合衆国 オレゴン州 97005 ビーバートン サウ
リース スウェスト ウイルソン・ドライブ 14125

㉒ 発 明 者 ジョン・シー・グレイ アメリカ合衆国 オレゴン州 97132 ニューバーグ イー
ムブル スト セブンス・ストリート 1306

㉓ 出 願 人 テクトロニクス・イ アメリカ合衆国 オレゴン州 97077 ビーバートン ビ
ンコーポレイテッド ー・オー・ボックス 500 サウスウエスト グリフィ
ス・ドライブ 4900

㉔ 代 理 人 弁理士 伊 藤 貞

BEST AVAILABLE COPY

明 細 書

発明の名称 ラスタ走査型表示装置

特許請求の範囲

第1所定数の走査線の輝度を制御して表示を行
う表示手段と、上記第1所定数以上の第2所定数
の走査線により画像情報を記憶する記憶手段と、
上記表示手段の走査線に対応する上記記憶手段に
記憶された複数の走査線の上記画像情報に応じて
上記表示手段の走査線の輝度を制御する制御手段
とを具備したラスタ走査型表示装置。

発明の詳細な説明

(産業上の利用分野)

本発明は画像表示装置、特にラスタ走査型表示
において画像のライン及び縁を滑らかにする装置
に関する。

(従来の技術及びその問題点)

あるラスタ走査型表示システムでは、表示スク
リーンを 500×500 のピクセル (画素) マトリッ
クスとみなし、各ピクセル成分毎に2軸、即ち輝
度の制御を行うのが一般的である。ラスタ上のピ

クセルの場所は固定しているため、表示面上にお
ける画像ライン (走査線) の表示は補正していな
ければ、階段状に、即ちいわゆる「ジャギー」表
示として現れる。よって、アンチ・エイリアシン
グ、又はアンチ・ジャギー (デ・ジャッター) 表示
補正システムが提案されており、現在、2つの一
般的システムが知られている。

これらアンチ・エイリアシングの一般的なシス
テムの1つでは、アンチ・ジャギー・ソフトウェア
の傾向にあり、このソフトウェア専用となる端
末装置に供給する画像をこのソフトウェアにより
処理する。このアプローチの特徴は、厳格な性能
及びデータ・ハンドリング・タイムの制限にある。

アンチ・エイリアシング・ピクセル・ラスタの
アプローチの他の一般的な形式では、ファームウ
ェアによる高性能の傾向にある。このファームウ
ェアは画像データを受け取る表示端末装置内に設け
る。またこのファームウェアは固定化したアルゴ
リズムにより画像データ・ビットを操作して、同
じものをフレーム・バッファ・メモリに置込み、

固定化したパターンに応じて画像データを読みつけする。

上述の如くこのファームウェアのアプローチには特長の問題が少ないが、これら既知の種アプローチでは、焦点が焦っている、即ちユーザーが見ることのできる画像の内容が所望の分解能よりも低いと多くのユーザーはみなしている。よって、その結果の画像は、実時間再生の結果ではなく、本来の画像データにおいて定義された画像に情報を付加した成果である。

(問題点を解決するための手段及び作用)

したがって本発明の目的の1つは、ラスタ走査型表示器用の改良された装置の提供にある。

また本発明の他の目的は、ラスタ走査型表示器においてアンチ・エイリアシングの表示用の改良された装置の提供にある。

本発明の更に他の目的は、ラスタ走査型表示器における画像表示の高分解能、及び真の分解能のズーム能力を提供することである。

これら及び他の目的を達成するために、本発明

は、ソフトウェア又はファームウェアによりアンチ・ジャギー・アルゴリズムのデータを画像データに付加する必要がなく、この画像データを用いてラスタ走査型表示をアンチ・エイリアシング状態としている。本発明は、まずラスタ走査型表示スクリーンの密度よりも高い密度の画像データをロードしたフレーム・バッファ(記憶手段)を利用する。例えば、本発明の方法に用いるフレーム・バッファは2000×2000の行列マトリックスを含んでおり、500×500のラスタをドライブする。

本発明において、フレーム・バッファ・メモリから多くの隣接したフレーム・バッファ・ラインデータを同時に選択して画像データを処理し、選択的読み付けにより多くの隣接したバッファ・ライン・データ・ビットから単一のラスタ・ライン・ドライブ信号を発生する。多くの隣接したラスタ・ライン(走査線)の中心は、満たされたラスタ・ラインに対応するとみなされて、全読みが与えられ、この中心に隣接したラインはこの中心からの距離に応じて異なる読み付けがされる。

よって、発生したラスタ・ライン・ドライブ信号は、テレビジョン表示の場合と同様にガウシアン分布となる。よって本発明は完全な分解能の画像を発生でき、任意のアンチ・エイリアシング・アルゴリズム又は本来の画像データにデータを付加する関連したフレーム・バッファ・データがないので、端点処理の困難さがなくラスタ・ラインを正確かつジャギーのないものにする。

更に本発明は、ラスタ走査型表示にズーム能力を与える。よって、選択レートを減少し、実際の分解能を拡大表示に応じて決め、フレーム・バッファの対応する部分を表示スクリーン全体に割当てて。

本発明の上述及び他の目的、特徴は添付図を参照した以下の実施例の説明から一層明らかになる。

(実施例)

第1図は本発明の好適な一実施例のブロック図を示す。この図において、ベクトル発生器10は、ライン(14)及び(16)を介して記憶手段であ

るフレーム・バッファ(12)に入力画像データ及びアドレス/タイミング命令を与える。ベクトル発生器10は、データ・ルーチン及びタイミング制御ユニットであり、フレーム・バッファ(12)のランダム・アクセス・メモリ(RAM)ユニットを満たし(読み込み)かつ读出し、書き込み、消去及びリフレッシュ動作により蓄積したデータを査閲又は処理し、ラスタ走査表示システムの従来のベクトル発生器の他の一般的動作を行う。上述の如く、フレーム・バッファ(12)の容量は高密度であり、表示端装置(表示手段)の行列データ容量の数倍のデータを適切に蓄積する。

スケール・クロック発生器(18)はライン(20)を介してフレーム・バッファ(12)にフレーム・バッファ出力クロック信号を供給する。スーム動作でない場合、ライン(20)の信号発生レートは、所定クロックレートであり、スームを実行するとき後述の如くその所定レートから下る。ライン(22)～(28)を介してフレーム・バッファ出力信号を参照番号(33)～(44)で示すライン・アドレス

レータI〜IVに供給する。広範囲で、これらアキムレータは現在受けた情報を蓄積し、前に受けた情報と同時にその出力をライン(56)〜(62)に与える。

ライン・アキムレータと共に制御手段を構成するDAC加算器(54)は受けた情報に対し上述の読み付け動作を実行し、ライン(64)を介して代表的にはCRT端末装置である表示ユニット(70)(表示手段)に対応アナログ出力(映像)信号を供給するデジタル・アナログ変換器である。

第2図はフレーム・バッファ(12)の回路図であり、このフレーム・バッファ(12)は、データ・バス(14)及びアドレス/タイミング・バス(16a)が接続されたRAMユニット(72)〜(78)を含む。これらRAMユニット(72)〜(78)の出力は、同時に4つのデータ・ビット(1つのフレーム・バッファ画像走査ライン)を共同して与えるライン(80)〜(86)を介して選択ユニット(SRL)(88)〜(94)に供給される。ライン(16b)及び(16c)の制御選択信号は、4ビット・パター

ンを選択ユニット出力ライン(96)〜(102)にゲートする。ラッチ及び分配器(104)はユニット(88)〜(94)から4つの現在のデータ・ビットを受け、ライン(20)のクロック信号(フレーム・バッファ出力クロック)の発生により、同じものを選択的にフレーム・バッファの出力ライン(22a)〜(22d)、(24a)〜(24d)、(26a)〜(26d)及び(28a)〜(28d)に分配する。

再び第1図をお照すれば、今説明した出力ライン(22)〜(28)はライン・アキムレータ(38)〜(44)用に個々のグループになっている。第3図は各ライン・アキムレータの回路を示すが、特にアキムレータ(38)の入力/出力接続を示している。ライン(22a)〜(22d)をシフト・レジスタ(SR)(106)に直接接続すると共に、ライン(108a)〜(108d)を介してラッチ(110)にも接続する。よって、アキムレータ(38)への4ビット・パターン入力(シフト・レジスタ(106)により直接生成しに利用でき、またラッチ(110)がライン(112a)〜(112d)を介して

同じパターンをRAM(114)に供給するので、このパターンは後で利用するために保持される。RAM(114)の出力ライン(118a)〜(118d)を第2シフト・レジスタ(120)に接続する。

ライン(118a)〜(118d)を更にライン(122a)〜(122d)に接続するので、RAM(114)の出力も更に後の表示のために保持される。これらライン(122a)〜(122d)をラッチ(124)に接続し、このラッチの出力ライン(126a)〜(126d)をRAM(128)に接続する。RAM(128)の出力はライン(130a)〜(130d)を介してシフト・レジスタ(132)に供給する。

制御ライン(134)、(136)及び(138)はラッチ(110)及び(124)並びにRAM(114)及び(128)を制御し、この内ライン(136)及び(138)は直接アドレス指定及び出力選択の両機能を果たす。ライン(140)はシフト・レジスタ(106)、(120)及び(132)に共通に出力イネーブル信号(ライン・アキムレータ出力制御信号)を供給する。ライン(142)はクロック

パルスを与えるが、ライン(140)のイネーブル信号が存在するとき、シフト・レジスタの内容をライン・アキムレータ(38)の出力ライン(56a)〜(56b)及び(56c)に直列出力する。ライン(140)のライン・アキムレータ出力制御信号は、表示ユニットのラスタ走査ラインのレートに対応するレートで発生する。

理解できる如く、シフト・レジスタ(106)、(120)及び(132)の内容は、ライン・アキムレータへの現在の4ビット・パターン入力(シフト・レジスタ(106)の中身)、ライン・アキムレータに供給された直前のパターン(シフト・レジスタ(120)の中身)、及びライン・アキムレータに供給された更に前の4ビット・パターン(シフト・レジスタ(132)の中身)を表わしている。ライン・アキムレータ(40)〜(44)は、第3図に関連して上述したのと同様な構成である。

再び第1図をお照すると、ライン(56)〜(58)、(60)及び(62)の各々は、3つのラインのラ

ープであり、現在、直前及びその前の4ビット・パターンの直列化したデータを有しているので、DAC加算器(54)は12の入力ラインを有しており、これを出み付け回路と関連して第4図に示す。入力ラインの各々をゲート及び出み付け(G-W)回路(144a)～(144f)に接続する。かかる回路の各々は共通の構成であり、図(148a)の如く1対のエミッタ結合トランジスタのベースに相補出力を供給するゲート(146a)～(146f)を含んでいる。G-W回路(144a)～(144f)のトランジスタのコレクタを抵抗器R1及びR2に共通接続する。G-W回路(144g)～(144i)のトランジスタのコレクタを抵抗器R3及びR4に共通接続する。抵抗器R1及びR3は映像出力トランジスタ(150)のベースに結合し、抵抗器R2及びR4は抵抗器R5を介して後の12V直流電源に接続する。ライン(64)の映像出力はトランジスタ(150)のコレクタ電圧である。

第4図の抵抗器R6～R17の選択した値により、出み付けの状態を確立するが、これら抵抗器はす

べて5Vの直流電源に接続され、抵抗器R1～R5及びライン(56)、(58)、(60)及び(62)のロジック状態と共に、各段のトランジスタに流れる電流を設定する。よって、これらは映像信号の増分増を定める。ガウシヤ出み付けのために、中央のラインから最も外側の位置の抵抗器が最大抵抗値であり、ここから中央ラインに近づくにしたがい抵抗値は減る。特定の実施例において、中央の抵抗器R11及びR12は等しく最小値であり、R10及びR13は等しくかつR11及びR12よりも大きい値であり、R9及びR14は等しく更に大きい値であり、以下同様である。例えば、抵抗器R6～R17は可変でもよく、それらの値をマイクロプロセッサ等の外部制御器で設定してもよい。

通常のフル・スケール動作において、ライン(56a)～(56c)、(58a)～(58c)、(60a)～(60c)及び(62a)～(62c)の12ビット・パターンは、情報の12ラインの各々のビットを含んだフレーム・バッファ・メモリの垂直スライス(列)を表す。これら12ラインの中心(6番目ラ

イン及び7番目ラインの間、即ち回路ライン(58c)及び(60c)間の中央)が、書込まれるラスタ・ラインに対応する。ライン(64)からの映像信号、即ちガウシヤ出み付けされた信号による表示において、DAC加算器(54)への入力ラインは、最初に述べた入力からユニット(54)への4つのラインが段階別になった12のフレーム・バッファ・ラインを表すようにタイミングを定める。フレーム・バッファの密度はラスタ走査密度の4倍であり、書込んだ全画像をラスタ表示器に表示するのが望ましいので、上述はこの例である。よって、12の相互に隣接したフレーム・バッファ・ラインからの12ビットの独特なパターン、及びライン・アキュムレータ(38)～(44)の4つの列ステッピングを含んだ連続したラスタ・ラインにより、各ラスタ・ラインを再送む。

よって、ライン(20)のフレーム・バッファ・ライン出力のクロック・レートはライン(40)のライン・アキュムレータ出力信号のレートの4倍である。

例えば、全表示スクリーン領域をフレーム・バッファの内容の4分の1に割当てる、即ち、通常表示の4分の1の部分に4倍にズームする形式のズーム動作において、ズーム選択の指示は、4ビット・カウンタ(156)(第5図)に接続されたライン(154a)～(154d)によりスケール・クロック発生器(118)に行う。分周器(158)からライン(160)を介してカウンタ(156)に20kHzのクロック信号を供給する。発生器(162)は80kHzで動作し、ライン(164)を介して分周器(158)を駆動する。ゲート(166)は、カウンタ(156)からのライン(168)及び20kHzクロックのライン(170)を入力とする。フレーム・バッファ出力ソフト・クロックをライン(20)に発生するが、そのレートはライン(154a)～(154d)の設定に対応する。即ち、通常のフル・スケール動作を望む場合は最大(20kHz)であり、ズーム動作では対応した低いレートである。以下に述べるズーム例において、ライン(20)のクロック・レートが5kHz、即ちライン(140)のレートで

ある場合、4倍の拡大がフレーム・バッファ・ライン出力及びラスタ走査ライン間に生じる。映像出力は、フレーム・バッファの読出しによりライン毎であるが、ライン・アキュムレータは依然、12の相互に隣接したライン・ビットの全部をDAC加算器(54)に供給しているので、映像信号は依然ガウシャンで重み付けされている。

第5図の回路の特定例では、カウンタ(156)は10016型4ビット・カウンタであり、ライン(154a)～(154d)をピン7、9、10及び11に接続し、ライン(160)をピン13に接続し、ライン(172)をピン5に接続し、ライン(172)及び(168)をピン4に接続する。

本発明により画像表示に効果をもたらす方法を考慮すれば、表示ユニットはN画像ラスタ・ラインを有しているといってもよい。画像を高密度、即ちデジタル・ビットのM個の前積されたラインにおいて前積する。ここでMは、Nの整数倍である。所定のラスタ走査ライン・ステップを貫通する際、M個の前積されたラインのQ個の各々からデ

ジタル・ビットを選択する。ここでQは1を超える整数である。上述した非ズームの例において、12は4つのライン・アキュムレータの出力数なので、Mは2000、Nは500、Qは12である。これら選択されたQビットをアナログ信号に変換し、表示ユニットのN個のラスタ・ラインの1つを貫通する際の輝度制御信号としてこのアナログ信号を利用する。

この信号変換の間にビットを個々に重み付け、この重み付けの実行により、なるべくビットをガウシャン分布重み付けとする。

特に上述した例においてQビットを選択するには、そのQビットをサブグループに選択し、このサブグループ化したビットを順次累積して、全Qビットについてこれら累積が終了するように同時に信号変換ステップを行う。

全前積画像がラスタ・フレームにあるのが望ましい場合、変換ステップの実行レートのM/N倍毎にQビットの連続したサブグループを選択する。この例では、同様に信号変換のレート1の4倍でフ

レーム・バッファ・メモリに対しステップを実行する。ズーム動作において、変換ステップに対し少ないラインで、例えばM/N/Rのレートでフレーム・バッファ・メモリに対しステップを進める。ここでRは1より大きい整数であり、M/N位に大きい。上述の4倍拡大ズームの動作例では、フレーム・バッファ・メモリの4分の1を表示ラスタに割当て、よってRをM/N即ち4に選択している。

単一のグリーン情報パターン及びこの単一グリーン情報を構成するビット内容を前積する単一フレームのバッファ・メモリについて、本発明の装置の一例を上述したが、本発明は、深さ方向に2つ以上のバッファ・メモリのフレームを含む、即ちメモリの複数グリーンのアプリケーションにも拡張できる。かかる構成でカラー及びグレースケールのアプリケーションに関する多くの問題を解決する。例えば、最も簡単な構成のカラー・テレビジョン・カメラは、3つのターゲット画像形成手段を備えており、単一の同期発生器によりすべ

て駆動される3つの異なる電子ビームが調和して各手段を掃引する。3つの独立したターゲットからデータを取出し、それをカラー及び符号化処理して、カラー情報を信号から取出す。ここで本発明によるシステムでは、ビジコンのターゲットのみを走査する代りに、同時に複数のメモリアプレーンを走査して、カラー情報を1つのカラーの各々を表し3つのアプレーンが同時に取出された情報にする。図形システムにおいて、3アプレーン・システムから良好なカラー情報を取出すのは難しい。達成しようとするときは、8色の選択のみである。しかし、本発明のシステムによれば、各色の輝度情報の間隔が可能となり、より広範囲に色を配ることが可能になる。更に、これらの色の境界は適切にはかせる。よって、色の緑、透明、テクスチャ等の色及び中間調問題の解決が簡単になる。

上述では本発明を特に、ライン情報のフレーム・バッファ前積のベクトル発生及びラスタ走査表示に関連して説明したが、勿論本発明は広く適用される。本発明の要旨を逸脱することなく種々の変

更が可能であるので、上述の好適な実施例は本発明を説明するためであり、何ら限定するものではない。

(発明の効果)

上述の如く本発明によれば、画像データに直接アンチ・ジャギー・アルゴリズムのデータを付加することなく、表示スクリーンの密度よりも高い密度のフレーム・バッファを利用しているので、簡単にアンチ・エイリアシング状態にできると共に、ズームも容易である。

図面の簡単な説明

第1図は本発明の好適な一実施例の全体的なブロック図、第2図は第1図に用いるフレーム・バッファのブロック図、第3図は第1図に用いるライン・アキュムレータのブロック図、第4図は第1図に用いるDAC加算器の回路図、第5図は第1図に用いるスケール・クロック発生器のブロック図である。

図において、(12) は記憶手段、(38) ~ (44) 及び (54) は制御手段、(70) は表示手段である。

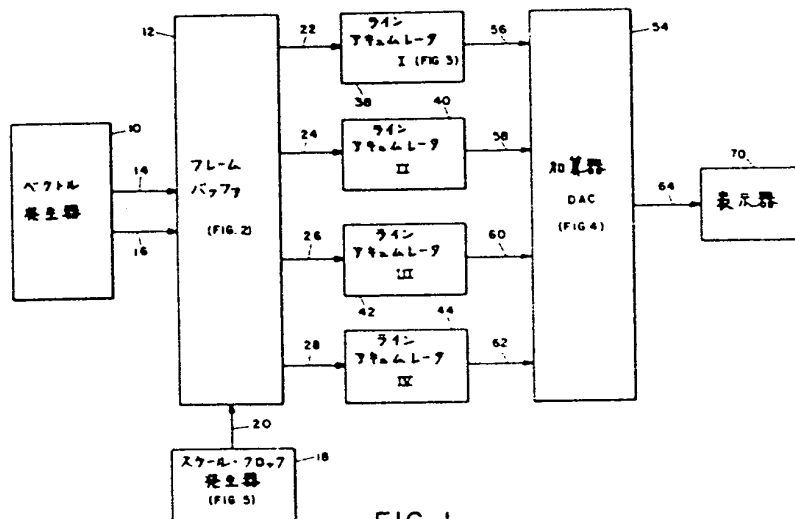


FIG. 1

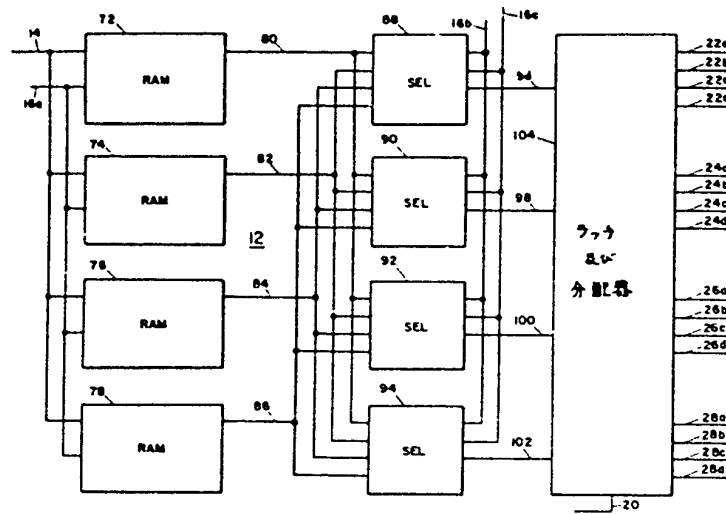


FIG. 2

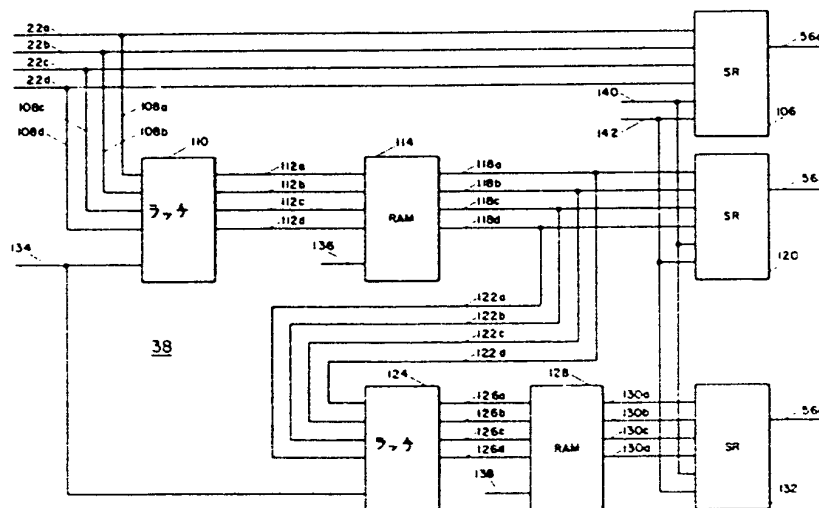


FIG. 3

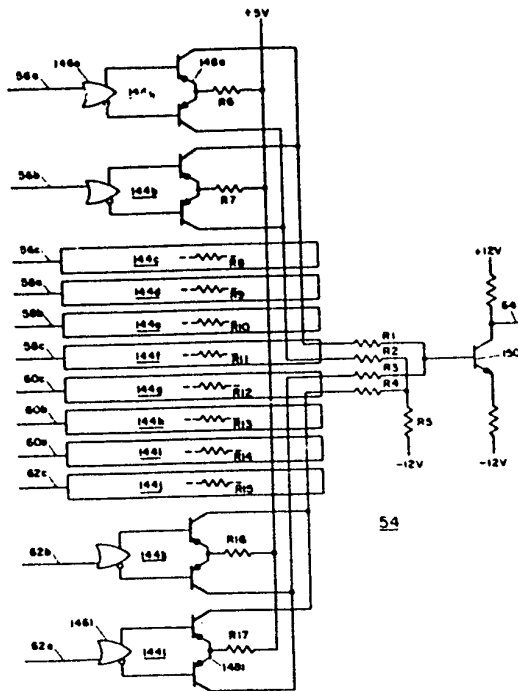


FIG. 4

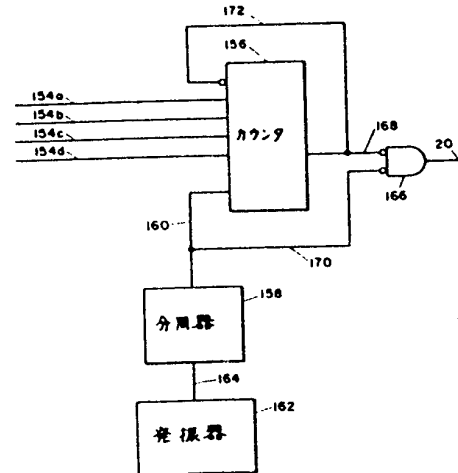


FIG. 5

特許庁長官 志賀 学 殿

昭和60年 2月 5日

特許庁長官 志賀 学 殿

1. 事件の表示

昭和59年 特 許 願 第234003号

2. 発明の名称

ラスタ走査型表示装置

3. 補正をする者

事件との関係 特許出願人

住 所 アメリカ合衆国 オレゴン州 97077
 ビーバートン・ビー・オー・ボックス 500
 サウスウエスト グリフィス・ドライブ 4900
 名 称 テクノロニクス・インコーポレイテッド
 代表者 ロバート・エス・ハルス
 国 籍 アメリカ合衆国

4. 代 理 人

住 所 東京都新宿区西新宿1丁目8番1号
 TEL 03-343 5821 (新宿ビル)

氏 名 (3388) 弁護士 伊 藤 貞 一

5. 補正命令の日付

昭和 年 月 日

6. 補正により増加する発明の数

7. 補正の対象

明細書の発明の詳細な説明の欄。

8. 補正の内容

(60. 2. 6)

- (1) 明細書中、第2頁16行「高性能」とあるを「高性能化」に訂正する。
- (2) 同、第4頁8行「の方法」とあるを削除する。
- (3) 同、第6頁12行「数倍」とあるを「数倍(例えば4×4倍)」に訂正する。
- (4) 同、第6頁19行「出力信号」の後に「(フレーム・バッファ内における隣接した異なるライン上のデータ)」を加入する。
- (5) 同、第7頁16行～17行「同時に・・・与える」とあるを「フレーム・バッファ内における1つのライン上の連続した4つのデータ・ビットであり、」に訂正する。
- (6) 同、第6頁8行「・・・に分配する。」の後に下記を加入する。
 「即ち、RAM (72) ～ (78) からの最初のラインの4つのデータ・ビットがライン (22a) ～ (22d) に供給され、次のラインの4つのデータ・ビットがライン (26a) ～ (26d) に供給され、更に次のラインのデータ・ビットがライン (28a) ～ (28d) に供給される。ライン

(22a) ~ (28d) のデータはラッチ及び分配器 (104) の作用によりラッチされる。なお、第2図のような構成にしたのは、RAM (72) ~ (74) を並列に動作させることにより、フレーム・バッファ (12) の動作速度を高速にするためである。」

㉓ 同、第10頁16行「・・・いる。」の後に下記を加入する。

「よって、この実施例の場合、シフトレジスタ (106)、(120) 及び (132) の出力信号は、フレーム・バッファにおける3つの隣接するライン上の対応位置におけるビット・データである。また、各シフトレジスタは4ビットの並列入力信号を直列出力信号に変換し、この直列出力信号に応じて表示手段の輝度を制御するので、フレーム・バッファにおけるラインの連続した4つのピクセル (ビット) についてみれば、アキュムレートされたことになる。」

㉔ 同、第10頁18行「・・・ある。」の後に下記を加入する。

「したがって、ライン・アキュムレータ (38) ~ (44) の出力信号はフレーム・バッファにおける12の隣接したラインのデータとなる。」

㉕ 同、第11頁2行「直列化したデータを」とあるを「直列化したデータ、即ちフレーム・バッファ内の3つの隣接したラインの連続した4つのデータを」に訂正する。

㉖ 同、第12頁6行「中央」とあるを「フレーム・バッファ内における隣接する12のラインの内の」に訂正する。

以 上